

明細書

クロックドインバータ回路、ラッチ回路、シフトレジスタ回路、表示装置の駆動回路、表示装置

5

発明の背景

技術分野

本発明は、クロックドインバータ回路、ラッチ回路、シフトレジスタ回路、表示装置の駆動回路、表示装置に関し、例えば有機EL (Electro Luminescence) 素子によるフラットディスプレイ装置に適用することができる。本発明は、相補的に動作を切り換える1組のトランジスタによるスイッチ回路により直列回路を形成すると共に、この直列回路の接続中点出力をインバータ回路に出力し、この直列回路の一端に入力信号を入力すると共に、この直列回路の接続中点出力に対応するインバータ回路による出力信号を他端に供給することにより、単チャンネルのトランジスタのみで動作することができるようにする。

15

背景技術

従来、フラットディスプレイ装置においては、例えば日本特開平5-265411号公報に開示されているように、垂直駆動回路に設けたシフトレジスタ回路により順次駆動信号を転送して各画素の駆動信号を生成するようになされている。このようなシフトレジスタ回路は、例えば日本特開平5-241201号公報に開示されているように、クロックを基準にして入力信号をラッチして出力するラッチ回路を直列接続して形成されるようになされている。

第1図は、このラッチ回路を示す接続図である。このラッチ回路1は、PチャンネルMOSトランジスタTR1、TR2、NチャンネルMOSトランジスタTR3、TR4を電源Vcc及びアース間に直列接続して、第2図(A)に示すように、電源Vcc及びアース側のトランジスタTR1及びTR4に前段から入力信号INが入力され、また内側のトランジスタTR2及びTR3にそれぞれクロックCK及びクロックCKの反転信号によるクロックCKXが入力され(第2図(B)及び(C))、これによりこれらトランジスタTR1~TR4によりクロ

ックCKを基準にして動作するクロックドインバータ回路2が形成される。

- また同様に、PチャンネルMOSトランジスタTR5、TR6、NチャンネルMOSトランジスタTR7、TR8を電源Vcc及びアース間に直列接続して、トランジスタTR1～TR4とは逆に、内側のトランジスタTR6及びTR7に
- 5 それぞれクロックCKX及びクロックCKが入力され、これによりこれらトランジスタTR5～TR8によりクロックCKとは逆極性のクロックCKXを基準にして動作するクロックドインバータ回路3が形成される。

- ラッチ回路1は、PチャンネルMOSトランジスタTR9及びNチャンネルMOSトランジスタTR10を電源Vcc及びアース間に直列接続してなるインバ
- 10 ータ回路4に、これらクロックドインバータ回路2及び3の出力が入力され、またこのインバータ回路4の出力がクロックドインバータ回路3の入力に帰還され、これらにより入力信号INをクロックCKによりラッチするラッチ回路が形成され、このインバータ回路4の出力OUT（第2図（D））を次段に出力するようになされている。

- 15 シフトレジスタ回路は、このようなクロックCKの立ち上がりにより入力信号INをラッチして次段に出力するラッチ回路1と、このラッチ回路1に対してクロックCK及びCKXの接続を入れ換えてなるラッチ回路とが交互に直列に接続されて形成され、また最前段のラッチ回路には、タイミングジェネレータにより生成された駆動信号が供給され、これによりこの駆動信号を順次転送して各画素
- 20 の駆動信号を生成するようになされている。

- このようなシフトレジスタ回路を構成するラッチ回路は、ガラス基板上に形成可能なアモルファスシリコンによるTFET（Thin Film Transistor）によつては作成困難な欠点がある。すなわちアモルファスシリコンによるTFET（Thin Film Transistor）は、単結晶シリコン、ポリシリコンによるトランジスタに比して、
- 25 移動度が1／100程度と小さく、またPチャンネルのトランジスタを作成することができない欠点がある。

このためアモルファスシリコンを用いて画素を構成するフラットディスプレイ装置においては、この画素を配置してなる画素部をガラス基板上に形成し、単結晶シリコン、ポリシリコン等を用いて別工程で作成した駆動回路をこのガラス基

板上の画素部に接続して形成されるようになされている。

すなわち第3図に示すように、この種のフラットディスプレイ装置11においては、画素をマトリックス状に配置してなる画素部12がガラス基板13上に形成される。また単結晶シリコン、ポリシリコン等を用いて、別工程により、この画素部12の各画素をライン単位で順次駆動する垂直駆動回路14A及び14Bによる集積回路がシフトレジスタにより形成され、この垂直駆動回路14A及び14Bの集積回路が、各画素の階調を設定する水平駆動回路15の集積回路と共にこのガラス基板13の周囲に配置されて形成されるようになされている。

ところでこのようなシフトレジスタ回路による駆動回路をアモルファスシリコンによるTFTにより作成することができれば、この種の駆動回路と各画素とをガラス基板上に一体に作成することができ、その分、この種のフラットディスプレイ装置の製造工程を簡略化することができると考えられる。このためにはアモルファスシリコンによるTFTにより作成することが可能な単チャンネルのトランジスタのみで動作するクロックドインバータ回路、ラッチ回路が必要になる。

発明の開示

本発明は以上の点を考慮してなされたもので、単チャンネルのトランジスタのみで動作するクロックドインバータ回路、ラッチ回路、このラッチ回路によるシフトレジスタ回路、表示装置の駆動回路、表示装置を提案しようとするものである。

かかる課題を解決するため本発明においては、全てのトランジスタが同一チャンネルのトランジスタであるクロックドインバータ回路に適用して、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号を入力する第1の直列回路と、第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路と、第1の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第1の直列回路の他端に inputs する1組のトランジスタによる第2のインバータ回路とを備えるようにする。

本発明の構成により、クロックにより相補的に動作を切り換える1組のトラン

ジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを備えるようにすれば、例えば全てのトランジスタを N チャンネル型により形成して、一端側のスイッチ回路のオン動作により第 1 の直列回路の出力を入力信号に対応するように設定した後、他端側のスイッチ回路のオン動作により、この第 1 の直列回路の出力を維持するように第 1 の直列回路の出力を設定し得、これらにより一端側のスイッチ回路のオン状態により取り込んだ入力信号の信号レベルを、引き続いて保持することができる。これにより例えば全てのトランジスタを N チャンネル型により形成してクロックドインバータ回路を形成することができる。

また本発明においては、全てのトランジスタが同一チャンネルのトランジスタであるラッチ回路に適用して、クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを備えるようにする。

また本発明においては、ラッチ回路により順次駆動信号を転送するシフトレジスタ回路に適用して、ラッチ回路は、全てのトランジスタが同一チャンネルのトランジスタにより形成され、クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを有するようにする。

また本発明においては、マトリックス状に画素を配置してなる表示装置の駆動回路に適用して、ラッチ回路によるシフトレジスタ回路により順次駆動信号を転

送して画素の駆動信号を生成し、ラッチ回路は、全てのトランジスタが同一チャンネルのトランジスタにより形成され、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号を入力する第1の直列回路と、第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路と、第1の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第1の直列回路の他端に入力する1組のトランジスタによる第2のインバータ回路とを有するようにする。

また本発明においては、マトリックス状に画素を配置してなる表示装置に適用して、ラッチ回路によるシフトレジスタ回路により駆動信号を順次転送して画素の駆動信号を生成し、ラッチ回路は、全てのトランジスタが同一チャンネルのトランジスタにより形成され、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号を入力する第1の直列回路と、第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路と、第1の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第1の直列回路の他端に入力する1組のトランジスタによる第2のインバータ回路とを有するようにする。

これらにより本発明の構成によれば、例えば全てのトランジスタをNチャンネル型により形成してラッチ回路、シフトレジスタ回路を形成することができ、また本発明の構成によれば、このようなシフトレジスタ回路による表示装置の駆動回路を形成し得、また本発明の構成によれば、このようなシフトレジスタ回路による表示装置を提供することができる。

本発明によれば、単チャンネルのトランジスタのみで動作するクロックドインバータ回路、ラッチ回路、このラッチ回路によるシフトレジスタ回路、このシフトレジスタ回路による表示装置の駆動回路、表示装置を得ることができる。

図面の簡単な説明

第1図は、従来のフラットディスプレイ装置の垂直駆動回路に適用されるクロックドインバータ回路を示す接続図である。

第2図は、第1図のクロックドインバータ回路の動作の説明に供するタイムチャートである。

第3図は、従来のフラットディスプレイ装置の構成を示すブロック図である。

第4図は、本発明の実施例1に係るフラットディスプレイ装置を示すブロック図である。

第5図は、第4図のフラットディスプレイ装置における垂直駆動回路を示す接続図である。

第6図は、第5図の垂直駆動回路におけるラッチ回路の動作の説明に供するタイムチャートである。

第7図は、第5図の垂直駆動回路におけるラッチ回路の動作の説明に供する接続図である。

第8図は、第7図の続きの動作の説明に供する接続図である。

第9図は、本発明の実施例2に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。

第10図は、本発明の実施例3に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。

発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

(1) 実施例1の構成

第4図は、本発明の実施例1に係るフラットディスプレイ装置を示すブロック図である。このフラットディスプレイ装置21は、有機EL素子による画素をマトリックス状に配置してなる画素部22、この画素部22に水平方向に延長するように設けられた走査線を介して画素部22に駆動信号を出力する垂直駆動回路23A、23B、この画素部22に垂直方向に延長するように設けられた信号線を介して各画素の階調を設定する水平駆動回路24がアモルファスシリコンによるNチャンネル側のTFTによりガラス基板25上に一体に作成されるようになっている。このフラットディスプレイ装置21は、垂直駆動回路23A、23B、水平駆動回路24の動作に必要な各種駆動信号、クロック等をタイミングジ

ジェネレータ (TG) 26 により生成してこのガラス基板 25 上の垂直駆動回路 23A、23B、水平駆動回路 24 に供給し、また各画素の階調を示す階調データ D1 を水平駆動回路 24 に供給し、これにより所望の画像を表示するようになされている。

- 5 第5図は、垂直駆動回路 23A を示す接続図である。垂直駆動回路 23A は、タイミングジェネレータ 26 から出力される駆動信号 IN を順次ラッチ回路 31A、31B、31A、……により画素部 22 の垂直方向に転送し、各ラッチ回路 31A、31B、31A、……の出力信号をそれぞれバッファ回路 32 により画素部 22 の各走査線に出力する。なお垂直駆動回路 23B においては、この転送
10 に供するタイミングジェネレータ 26 から出力される駆動信号が異なる点を除いて、垂直駆動回路 23A と同一に構成されることにより、以下においては垂直駆動回路 23B についての説明は省略する。

この垂直駆動回路 23A は、デューティ比がほぼ 50 [%] であるクロック CK により入力信号をラッチするラッチ回路 31A と、このクロック CK の反転
15 信号によるクロック CKX により入力信号をラッチするラッチ回路 31B とを交互に直列接続して形成され、先頭段のラッチ回路 31A にタイミングジェネレータ 26 で生成される駆動信号 IN が入力される。

ここでクロック CK により入力信号をラッチするラッチ回路 31A は、トランジスタ TR1 及び TR2 のゲートをそれぞれクロック CK 及び CKX により駆動
20 することにより、それぞれトランジスタ TR1 及び TR2 により相補的に動作を切り換えてオンオフ動作するスイッチ回路を形成し、このスイッチ回路を直列に接続してスイッチ回路による直列回路が形成される。先頭段のラッチ回路 31A は、この直列回路の一端、クロック CK によりオン動作するトランジスタ TR1 側に、タイミングジェネレータ 26 から出力される駆動信号 IN を入力し、先頭
25 段以外のラッチ回路 31A においては、この一端に、前段のラッチ回路 31B の出力信号が入力される。またラッチ回路 31A は、この直列回路の他端に、この直列回路の接続中点出力に対応して信号レベルが変化する出力信号を入力する。この実施例においては、この出力信号に、後述する第2のインバータ回路 34 の出力信号が適用される。

すなわちラッチ回路 3 1 Aにおいては、電源 V_{cc1} 及びアース間に、トランジスタ TR 3 及び TR 4 を直列接続して第 1 のインバータ回路 3 3 が形成され、また同様のトランジスタ TR 5 及び TR 6 を直列接続して第 2 のインバータ回路 3 4 が形成される。これら第 1 及び第 2 のインバータ回路 3 3、3 4 は、電源電圧 V_{cc1} 側のトランジスタ TR 4 及び TR 6 のゲートがそれぞれ基準電圧 V_{cc2} に接続され、前段側のインバータ回路 3 3 においては、アース側トランジスタ TR 3 のゲートがトランジスタ TR 1 及び TR 2 の接続中点に接続され、また後段側のインバータ 3 4 においては、同様に、アース側トランジスタ TR 5 のゲートに前段のトランジスタ TR 3 及び TR 4 によるインバータ回路 3 3 の出力が入力されるようになされ、この第 2 のインバータ回路 3 4 の出力がこのラッチ回路 3 1 A の出力 OUT に設定されるようになされている。

これによりラッチ回路 3 1 A においては、第 6 図及び第 7 図に示すように、所定のタイミングで信号レベルが立ち上がる入力信号 IN (第 6 図 (A)) を入力して、クロック CK 及び CKX の立ち上がり及び立ち下がりにより (第 6 図 (B) 及び (C))、トランジスタ TR 1 によるスイッチ回路を介してトランジスタ TR 3、TR 4 によるインバータ回路 3 3、トランジスタ TR 5、TR 6 によるインバータ回路 3 4 による直列回路に入力信号 IN を与え、入力信号 IN の立ち上がりに対応して出力信号 OUT (第 6 図 (C)) を立ち上げるようになされている。

またこのようにして出力信号 OUT を立ち上げた後において、クロック CK 及び CKX がそれぞれ立ち下がり及び立ち上がると、第 8 図に示すように、トランジスタ TR 1 及び TR 2 によるスイッチ回路がそれぞれオフ状態及びオン状態に切り換わり、この場合、このオン状態に切り換わった側に入力される第 2 のインバータ回路 3 4 の出力信号においては、ゲート容量によりトランジスタ TR 1 がオフ状態に切り換わった後も、H レベルに保持され、これによりこの H レベルに保持されてなる第 2 のインバータ回路 3 4 の出力信号がいち早くトランジスタ TR 2 によるスイッチ回路を介してインバータ回路 3 3、3 4 による直列回路に入力され、これによりクロック CK により取り込んだ入力信号 IN の信号レベルが保持される。

しかしてラッチ回路 3 1 A においては、入力信号 I N が立ち下がった後においては、同様にクロック C K 及び C K X の立ち上がり及び立ち下がりによりこの入力信号 I N の信号レベルが取り込まれて保持されることになる。

これに対してクロック C K X を基準にして動作するラッチ回路 3 1 B においては、トランジスタ T R 1 及び T R 2 によるスイッチ回路をそれぞれ駆動するクロックが、ラッチ回路 3 1 A の場合とは逆に、クロック C K X 及び C K に設定され、これにより前段のラッチ回路 3 1 A のラッチ結果をクロック C K の 1 / 2 周期だけ遅延させて出力するようになされている。

これらにより垂直駆動回路 2 3 A においては、シフトレジスタ回路を構成し、順次、タイミングジェネレータ 2 6 から出力される駆動信号 I N をクロック C K の 1 / 2 周期だけ遅延させて出力するようになされている。

このようにしてインバータ回路 3 3 、 3 4 の直列回路により入力信号 I N を遅延させて出力するにつき、このラッチ回路 3 1 A においては、これらインバータ回路 3 3 、 3 4 の出力において、出力信号を十分な信号レベルに立ち下げることができるように、アース側のトランジスタ T R 3 、 T R 5 が電源 V c c 側のトランジスタ T R 4 、 T R 6 に比して大きな形状により作成されて、オン抵抗が小さくなるようになされている。

また電源 V c c 側トランジスタ T R 4 、 T R 6 のしきい値電圧の分、電源 V c c の電圧に比してインバータ回路 3 3 、 3 4 の基準電圧 V c c 2 が高い電圧に設定され、これによりインバータ回路 3 3 、 3 4 において、出力をカットオフしないようになされている。

これらによりこの実施例において、トランジスタ T R 1 及び T R 2 は、相補的にオン状態に切り換わる 1 組のトランジスタによる第 1 の直列回路を構成し、またトランジスタ T R 3 、 T R 4 は、この第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路を構成するようになされている。またトランジスタ T R 5 、 T R 6 は、入力信号 I N に対して、遅延して信号レベルが切り換わる入力信号の同相信号を出力する 1 対のトランジスタによる第 2 のインバータ回路を構成し、この実施例では、第 1 の直列回路の一端に、入力信号 I N を入力し、第 1 の直列回路の他端に同相信号

を入力するようになされている。

(2) 実施例 1 の動作

以上の構成において、このフラットディスプレイ装置 21 では (第 4 図)、垂直駆動回路 23 A、23 B から出力される駆動信号により画素部 22 に設けられた画素がライン単位で駆動され、水平駆動回路 24 から各信号線に出力される駆動信号により各画素の階調が順次設定され、これにより所望の画像が表示される。フラットディスプレイ装置 21 では (第 5 図)、このような垂直駆動回路 23 A、23 B による画素の駆動が、タイミングジェネレータ 26 から出力される駆動信号 IN をシフトレジスタにより画素部 22 の垂直方向に順次転送し、シフトレジスタの各段の出力信号を画素部 22 の各走査線にそれぞれ出力して実行される。フラットディスプレイ装置 21 では、このシフトレジスタがラッチ回路 31 A、31 B、31 A、31 B……の直列回路により形成される。

このラッチ回路 31 A においては、タイミングジェネレータ 26 から出力される駆動信号 IN 又は前段のラッチ回路 31 B から出力される駆動信号が、相補的にオンオフ動作するトランジスタ TR1、TR2 のスイッチ回路による第 1 の直列回路に供給され、この第 1 の直列回路の接続中点出力が、第 1 及び第 2 のインバータ回路 33、34 を介して次段に出力される。このラッチ回路 31 A においては、この第 1 の直列回路のトランジスタ TR1 を介して入力信号 IN が入力され、これによりラッチ回路 31 A の出力 OUT においては、このトランジスタ TR1 をオンオフ制御するクロック CK の立ち上がりにより、インバータ 33、34 の動作時間だけ遅延して入力信号 IN の信号レベルに設定され、これにより入力信号 IN の信号レベルがクロック CK を基準にして取得される。

またこのクロック CK が立ち下がると、このクロック CK の反転信号であるクロック CKX によりトランジスタ TR2 がオン状態に切り換わり、インバータ回路 33、34 の動作時間だけ遅延してなる出力信号 OUT がこのトランジスタ TR2 を介して第 1 の直列回路に入力され、これによりクロック CK の立ち上がりにより設定された出力信号 OUT の信号レベルが維持される。

これによりこのラッチ回路 31 A においては、N チャンネル型のトランジスタ TR1 ~ TR6 により入力信号 IN をラッチして出力することができる。

シフトレジスタ回路においては、このようなクロックCKにより入力信号をラッチするラッチ回路31Aと、このラッチ回路31Aに対してクロックCK及びCKXを入れ換えて、クロックCKの反転信号であるクロックCKXにより入力信号をラッチするラッチ回路31Bとが交互に直列接続して形成され、これによりクロックCKの1/2周期によりタイミングジェネレータ26から出力される駆動信号を順次転送し、これらによりこのシフトレジスタ回路においても、全てのトランジスタをNチャンネル型により形成して駆動信号を生成することができる。

これによりこのフラットディスプレイ装置21、このフラットディスプレイ装置21に係る駆動回路である垂直駆動回路を、アモルファスシリコンによるTFTにより形成し得、駆動回路と画素部とを一体にガラス基板上に形成して簡易な工程によりフラットディスプレイ装置を作成することができる。

(3) 実施例1の効果

以上の構成によれば、相補的に動作を切り換える1組のトランジスタによるスイッチ回路により直列回路を形成すると共に、この直列回路の接続中点出力をインバータ回路に出力し、この直列回路の一端に入力信号を入力すると共に、この直列回路の接続中点出力に対応するインバータ回路による出力信号を他端に供給することにより、単チャンネルのトランジスタのみで動作するラッチ回路、このラッチ回路によるシフトレジスタ回路、表示装置の駆動回路、表示装置を得ることができる。

また直列回路の接続中点出力を入力する第1のインバータ回路に対して、この第1のインバータ回路の出力信号を一方のトランジスタのゲートに入力する第2のインバータ回路を設け、この第2のインバータ回路の出力信号を直列回路の他端に入力することにより、入力信号に対して遅延してなる信号を簡易な構成により作成することができる。

(4) 実施例2

第9図は、本発明の実施例2に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。この垂直駆動回路40A、40Bにおいては、実施例1について上述したラッチ回路31A、31Bに代えて、ラッチ回路41A、41B

が適用される。なおこの実施例においては、このラッチ回路 4 1 A、4 1 B の構成が異なる点を除いて、実施例 1 について上述したフラットディスプレイ装置 2 1 と同一に構成されることにより、以下においては、重複した説明は省略する。

ここで実施例 1 について上述したラッチ回路 3 1 A、3 1 B においては、十分なダイナミックレンジによる出力信号 OUT を確保するためには、各インバータ回路 3 3、3 4 のアース側トランジスタ TR 3、TR 5 を大型に作成してオン抵抗を十分に小さくする必要がある。またこのアース側トランジスタ TR 3、TR 5 のオン動作により電源 Vcc からアースに向かって電流が流れることにより、消費電力が大きくなる。また第 6 図 (E) に示すように、出力信号 OUT の立ち上がり、立ち下がりが鈍ってしまう欠点もある。この実施例においては、これら実施例 1 に係る欠点を解消する。

すなわちこの実施例において、ラッチ回路 4 1 A は、実施例 1 に係るラッチ回路 3 1 A と同様に、入力信号 IN 又は前段の出力信号を一端に入力し、第 2 のインバータ回路 3 4 の出力信号を他端に入力するトランジスタ TR 1、TR 2 による第 1 の直列回路が設けられ、またこの直列回路の接続中点出力を入力するトランジスタ TR 3、TR 4 によるインバータ回路 3 3、このインバータ回路 3 3 の出力信号を入力するトランジスタ TR 5、TR 6 による第 2 のインバータ回路 3 4 が設けられる。

ラッチ回路 4 1 A は、これら第 1 の直列回路、第 1 のインバータ回路 3 3、第 2 のインバータ回路 3 4 による第 1 の系統に対して、これら第 1 の直列回路、第 1 のインバータ回路 3 3、第 2 のインバータ回路 3 4 に対応する第 1 の直列回路、第 1 のインバータ回路 3 3 A、第 2 のインバータ回路 3 4 A による第 2 の系統が設けられる。

ここで第 2 の系統においては、第 1 の系統と同様に、クロック CK、CKX により相補的にオンオフ動作して動作を切り換えるトランジスタ TR 7、TR 8 によるスイッチ回路により第 1 の直列回路が形成され、第 1 のインバータ回路 3 3 A においては、トランジスタ TR 9、TR 10 を直列に接続して、トランジスタ TR 7、TR 8 による直列回路の接続中点出力をアース側トランジスタ TR 9 のゲートに入力するようになされている。また第 2 のインバータ回路 3 4 A におい

ては、トランジスタTR 9、TR 10を直列に接続して、第1のインバータ回路33Aの出力信号をアース側トランジスタTR 11のゲートに入力し、さらにこの第2のインバータ回路34Aの出力信号がトランジスタTR 7、TR 8による直列回路の他端に帰還されるようになされている。

- 5 第2の系統においては、このように第1の系統に対応するように形成されて、トランジスタTR 7、TR 8による直列回路のクロックCK側の一端に、第1の系統に入力される入力信号INに対して、極性を反転してなる入力信号INXが入力され、これにより第1の系統に対応する各部で、第1の系統とは逆極性の信号を生成するようになされている。
- 10 ラッチ回路41Aは、この逆極性の信号により第1の系統における第1及び第2のインバータ回路33、34の電源側トランジスタTR 4、TR 6をオンオフ制御し、これによりこれらインバータ回路33、34において、それぞれ電源側トランジスタTR 4、TR 6とアース側トランジスタTR 3、TR 5とを相補的にオンオフ動作させ、これによりこれらインバータ回路33、34の出力信号に
- 15 おける立ち上がり、立ち下がり、の鈍りを防止すると共に消費電力を低減し、さらにはインバータ回路33、34のトランジスタTR 3～TR 6を小型に形成しても十分なダイナミックレンジにより出力信号OUTを出力できるようになされている。

- またラッチ回路41Aは、第2の系統における第1及び第2のインバータ回路
- 20 33A、34Aについても、同様に、第1の系統における逆極性の信号により電源側トランジスタTR 10、TR 12をオンオフ制御し、これによりこれらインバータ回路33A、34Aにおいても、それぞれ電源側トランジスタTR 10、TR 12とアース側トランジスタTR 9、TR 11とを相補的にオンオフ動作させ、これによりこれらインバータ回路33A、34Aの出力信号における立ち上
- 25 がり、立ち下がり、の鈍りを防止すると共に消費電力を低減し、さらにはインバータ回路33A、34AのトランジスタTR 9～TR 12を小型に形成しても十分なダイナミックレンジにより出力信号を出力できるようになされている。

すなわちラッチ回路41Aにおいて、第1の系統に係る第1のインバータ回路33においては、電源側トランジスタTR 4のゲートに、第2の系統のトランジ

スタTR 7、TR 8の接続中点出力が入力され、またこの第1の系統に係る第2のインバータ回路34においては、電源側トランジスタTR 6のゲートに、第2の系統の第1のインバータ回路34Aの出力信号が入力される。また同様に、第2の系統に係る第1のインバータ回路33Aにおいては、電源側トランジスタTR 10のゲートに、第1の系統のトランジスタTR 1、TR 2の接続中点出力が入力され、またこの第2の系統に係る第2のインバータ回路34Aにおいては、電源側トランジスタTR 12のゲートに、第1の系統の第1のインバータ回路34の出力信号が入力される。

これらによりこのラッチ回路41Aにおいては、各トランジスタTR 1～TR 12が、ほぼ同一の大きさにより小型に形成されるようになされている。なお入力信号INの反転信号INXは、タイミングジェネレータ26により生成されるようになされている。

またラッチ回路41Aは、これら第1及び第2の系統による出力信号を次段のラッチ回路41Bに出力し、この次段のラッチ回路41Bにおいては、クロックCKにより入力信号をラッチするラッチ回路41Aに対して、クロックCK及びCKXが入れ換えられて形成されるようになされている。

これらによりこの実施例においては、これらラッチ回路41A、41B、41A、……により順次クロックCKの1/2周期づつ駆動信号INを遅延させて転送し、各走査線にバッファ回路32を介してこの駆動信号を出力するようになされている。

第9図の構成によれば、第1の系統に対応する第2の系統を形成して第1の系統と第2の系統とで逆極性の信号を生成し、この逆極性の信号により第1及び第2の系統におけるインバータ回路の電源側トランジスタをオンオフ制御することにより、消費電力を低減して出力信号の遷移を改善し、小型のトランジスタにより形成して、実施例1と同様の効果を得ることができる。

(5) 実施例3

第10図は、本発明の実施例3に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。この垂直駆動回路50A、50Bにおいては、実施例1について上述したラッチ回路31A、31Bに代えて、ラッチ回路51A、51

Bが適用される。なおこの実施例においては、このラッチ回路51A、51Bに係る構成が異なる点を除いて、実施例1について上述したフラットディスプレイ装置21と同一に構成されることにより、以下においては、重複した説明は省略する。

- 5 ここでこのラッチ回路51Aは、実施例1に係るラッチ回路31Aと同様に、入力信号IN又は前段の出力信号を一端に入力するトランジスタTR1、TR2による第1の直列回路が設けられ、この第1の直列回路の接続中点出力を入力するトランジスタTR3、TR4によるインバータ回路33が設けられる。

- 10 さらにラッチ回路51Aは、第1の直列回路と同様に、クロックCK、CKXによりオンオフ動作して相補的に動作を切り換えるトランジスタTR5、TR6のスイッチ回路により第2の直列回路が形成され、この第2の直列回路のクロックCK側端に、入力信号INの反転信号INX又は前段の出力信号OUTの反転信号が入力される。またトランジスタTR7、TR8によりインバータ回路33Bが形成され、このインバータ回路33Bのアース側トランジスタTR7に第2
15 の直列回路による接続中点出力が入力されるようになされている。

- 20 これによりラッチ回路51Aは、トランジスタTR1、TR2による第1の直列回路、インバータ回路33による系統に対して、トランジスタTR5、TR6による第2の直列回路、インバータ33Bにより、逆極性の対応する信号を生成するようになされている。また第1の直列回路の接続中点出力に対応する出力信号を第2の直列回路に係るインバータ回路33Bにより生成し、第2の直列回路の接続中点出力に対応する出力信号を第1の直列回路に係るインバータ回路33により生成するようになされている。

- 25 これらによりラッチ回路51Aは、インバータ回路33Bの出力信号を第1の直列回路の他端に入力し、またインバータ回路33の出力信号を第2の直列回路の他端に入力する。またインバータ回路33の電源側トランジスタTR4に第2の直列回路の接続中点出力を入力し、インバータ回路33Bの電源側トランジスタTR8に第1の直列回路の接続中点出力を入力するようになされている。またこれらインバータ回路33、33Bの出力信号を次段に出力するようになされている。

またクロックCKXに係るラッチ回路51Bにおいては、クロックCK、CKXが入れ換えられて、このクロックCKに係るラッチ回路51Aと同一に構成される。また垂直駆動回路50A、50Bは、このラッチ回路51A、51Bの構成に対応して、各バッファ回路32への入力、クロックCKによるラッチ回路51AとクロックCKXによるラッチ回路51Bとで、切り換えられるようにな

5 51AとクロックCKXによるラッチ回路51Bとで、切り換えられるようにな
されている。

この実施例においては、ラッチ回路の構成を簡略化して実施例2と同様の効果を得ることができる。

(6) 他の実施例

- 10 なお上述の実施例においては、入力信号に対して同相の出力信号を出力することを目的に垂直駆動回路であるシフトレジスタを形成する場合について述べたが、本発明はこれに限らず、例えばバッファ回路をインバータ回路により構成して入力信号に対して逆相により出力信号を出力するようにしてもよい。なおこの場合、実施例1の構成においては、第1のインバータ回路33の出力信号をバッファ回路に出力するようにして構成し得、また実施例2の構成においては、第2の
- 15 ア回路に出力するようにして構成し得、また実施例2の構成においては、第2の
系統側の出力信号をバッファ回路に出力するようにして構成し得、さらに実施例3の構成においては、ラッチ回路51A及び51Bにおいて、それぞれインバータ回路33、33B側の出力信号をバッファ回路に出力するようにして構成することができる。しかしてこの場合、各実施例の構成においては、クロックCKに
- 20 より入力信号INを取得して反転信号を出力するクロックドインバータ回路の直
列接続によりシフトレジスタ回路を構成することになる。

また上述の実施例においては、タイミングジェネレータから出力される駆動信号と同極性により各走査線を駆動する場合について述べたが、本発明はこれに限らず、逆極性により駆動する場合にも広く適用することができる。

- 25 また上述の実施例においては、インバータ回路において、前段の出力をアース側のトランジスタに入力する場合について述べたが、本発明はこれに限らず、これとは逆に電源側のトランジスタに入力するようにしてもよい。

また上述の実施例においては、Nチャンネル型のトランジスタによりラッチ回路、クロックドインバータ回路を構成する場合について述べたが、本発明はこれ

に限らず、Pチャンネル型により作成する場合等、同一の極性のトランジスタによりラッチ回路、クロックドインバータ回路を構成する場合に広く適用することができる。なおこの場合、アモルファス工程により作成困難となる場合もあるが、同一の極性のトランジスタにより作成できることにより、その分、工程を簡略

5 化することができる。

また上述の実施例においては、ガラス基板上に画素部と一体に駆動回路を作成する場合について述べたが、本発明はこれに限らず、別工程により作成する場合、さらには単結晶シリコン、ポリシリコンにより作成する場合にも広く適用することができる。なおこの場合、同一の極性のトランジスタにより作成できること

10 により、その分、工程を簡略化することができる。

また上述の実施例においては、本発明に係るラッチ回路、クロックドインバータ回路をフラットディスプレイ装置の駆動回路に適用する場合について述べたが、本発明はこれに限らず、種々の駆動回路、論理回路に広く適用することができる。

15 また上述の実施例においては、本発明を有機EL素子によるフラットディスプレイ装置に適用した場合について述べたが、本発明はこれに限らず、液晶表示装置等、種々のディスプレイ装置に広く適用することができる。

産業上の利用可能性

20 本発明は、例えば有機EL素子によるフラットディスプレイ装置に適用することができる。

請求の範囲

1. 全てのトランジスタが同一チャンネルのトランジスタであるクロックドインバータ回路であって、

5 クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号を入力する第1の直列回路と、

前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路と、

10 前記第1の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第1の直列回路の他端に inputs する1組のトランジスタによる第2のインバータ回路と

を備えることを特徴とするクロックドインバータ回路。

15 2. 全てのトランジスタが同一チャンネルのトランジスタであるラッチ回路であって、

クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号を入力する第1の直列回路と、

前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路と、

20 前記第1の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第1の直列回路の他端に inputs する1組のトランジスタによる第2のインバータ回路と

を備えることを特徴とするラッチ回路。

25 3. 前記第2のインバータ回路が、

前記第1のインバータ回路の出力信号を一方のトランジスタのゲートに inputs するインバータ回路である

ことを特徴とする請求の範囲第2項に記載のラッチ回路。

4. 前記第1の直列回路、前記第1のインバータ回路、前記第2のインバータ回路による第1の系統に対して、前記第1の系統による前記第1の直列回路、前記第1のインバータ回路、前記第2のインバータ回路に対応する第1の直列回路、第1のインバータ回路、第2のインバータ回路を有する第2の系統を有し、

5 前記第2の系統は、

前記第1の直列回路の一端に、前記入力信号の反転信号を入力し、前記第1の直列回路の他端に、前記第2の系統の前記第2のインバータ回路の出力を入力し、

10 前記第1のインバータ回路の他方のトランジスタのゲートに、前記第1の系統の前記第1の直列回路の接続中点を接続し、

前記第2のインバータ回路の他方のトランジスタのゲートに、前記第1の系統の前記第1のインバータ回路の出力を入力し、

前記第1の系統は、

15 前記第1のインバータ回路の他方のトランジスタのゲートに、前記第2の系統の前記第1の直列回路の接続中点を接続し、

前記第2のインバータ回路の他方のトランジスタのゲートに、前記第2の系統の前記第1のインバータ回路の出力を入力する

ことを特徴とする請求の範囲第3項に記載のラッチ回路。

20 5. 前記第1の直列回路の1組のトランジスタと連動して相補的に動作を切り換える1組のトランジスタによる第2の直列回路を有し、

前記第2の直列回路は、

25 前記第1の直列回路の前記一端に対応する側に、前記入力信号の反転信号を入力し、前記第1の直列回路の前記他端に対応する側に、前記第1のインバータ回路の出力を入力し、

前記第1のインバータ回路は、

他方のトランジスタのゲートを前記第2の直列回路における前記1組のトランジスタの接続中点到接続し、

前記第2のインバータ回路は、

前記第 2 の直列回路の接続中点を一方のトランジスタのゲートに接続し、他方のトランジスタのゲートを前記第 1 の直列回路における前記 1 組のトランジスタの接続中点に接続する

ことを特徴とする請求の範囲第 2 項に記載のラッチ回路。

5

6. ラッチ回路により順次駆動信号を転送するシフトレジスタ回路において、
前記ラッチ回路は、

全てのトランジスタが同一チャンネルのトランジスタにより形成され、

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続し

10 て、一端に入力信号を入力する第 1 の直列回路と、

前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、

前記第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第 1 の直列回路の他端に inputs する 1 組のトランジスタによる第 2 のインバ

15 ータ回路とを有する

ことを特徴とするシフトレジスタ回路。

7. マトリックス状に画素を配置してなる表示装置の駆動回路において、

ラッチ回路によるシフトレジスタ回路により順次駆動信号を転送して前記画素

20 の駆動信号を生成し、

前記ラッチ回路は、

全てのトランジスタが同一チャンネルのトランジスタにより形成され、

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続し

て、一端に入力信号を入力する第 1 の直列回路と、

25 前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、

前記第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第 1 の直列回路の他端に inputs する 1 組のトランジスタによる第 2 のインバ
ータ回路とを有する

ことを特徴とする表示装置の駆動回路。

8. マトリックス状に画素を配置してなる表示装置において、

ラッチ回路によるシフトレジスタ回路により駆動信号を順次転送して前記画素

5 の駆動信号を生成し、

前記ラッチ回路は、

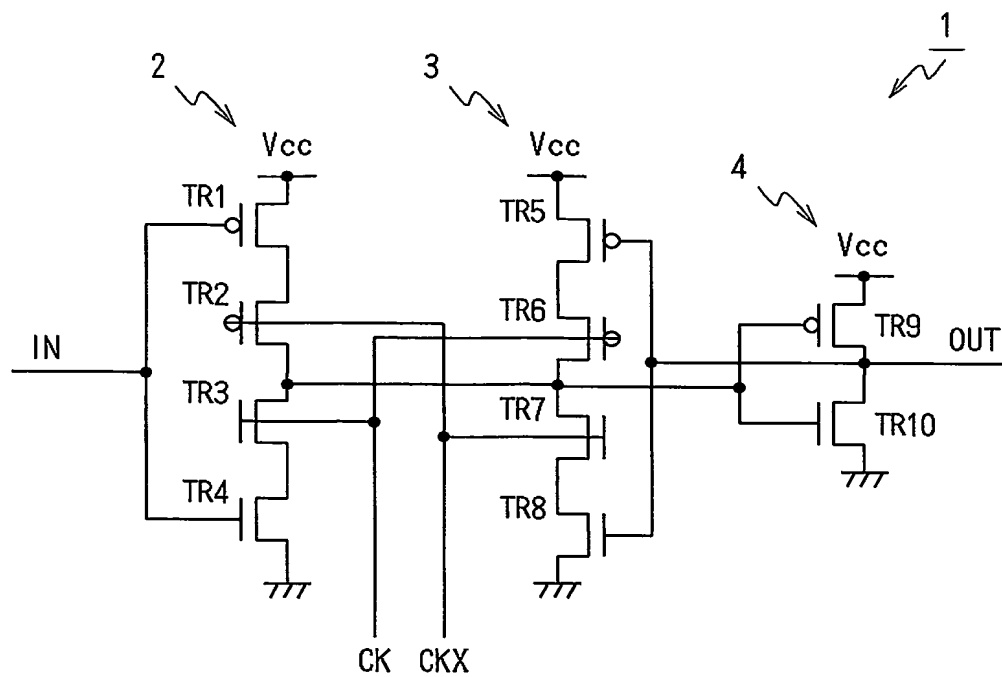
全てのトランジスタが同一チャンネルのトランジスタにより形成され、

クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号を入力する第1の直列回路と、

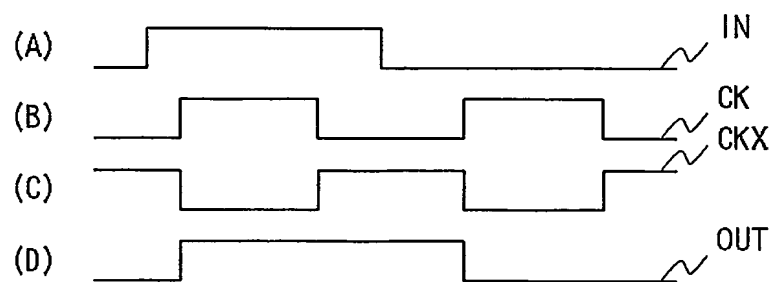
10 前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路と、

前記第1の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第1の直列回路の他端に入力する1組のトランジスタによる第2のインバータ回路とを有する

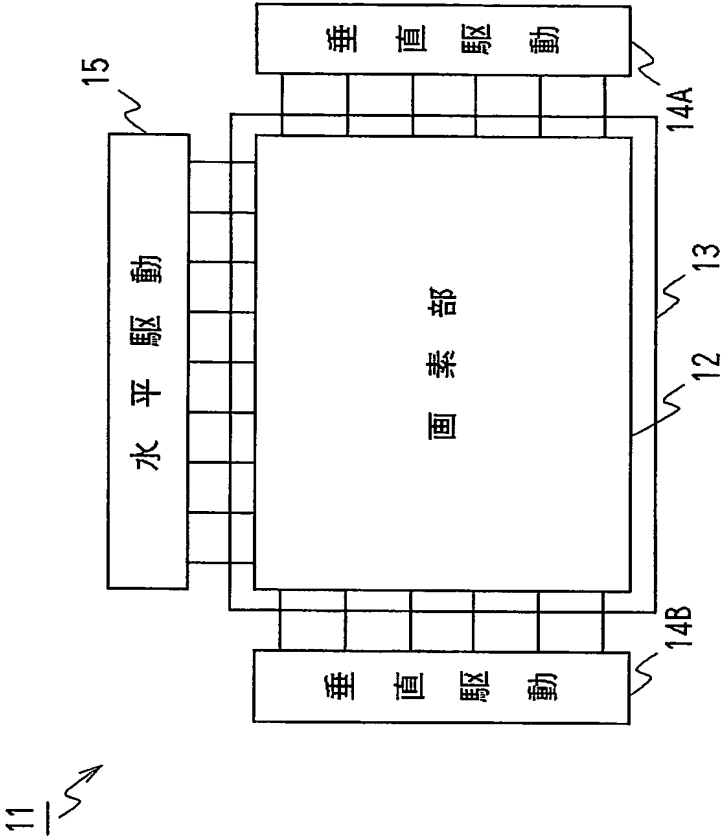
15 ことを特徴とする表示装置。



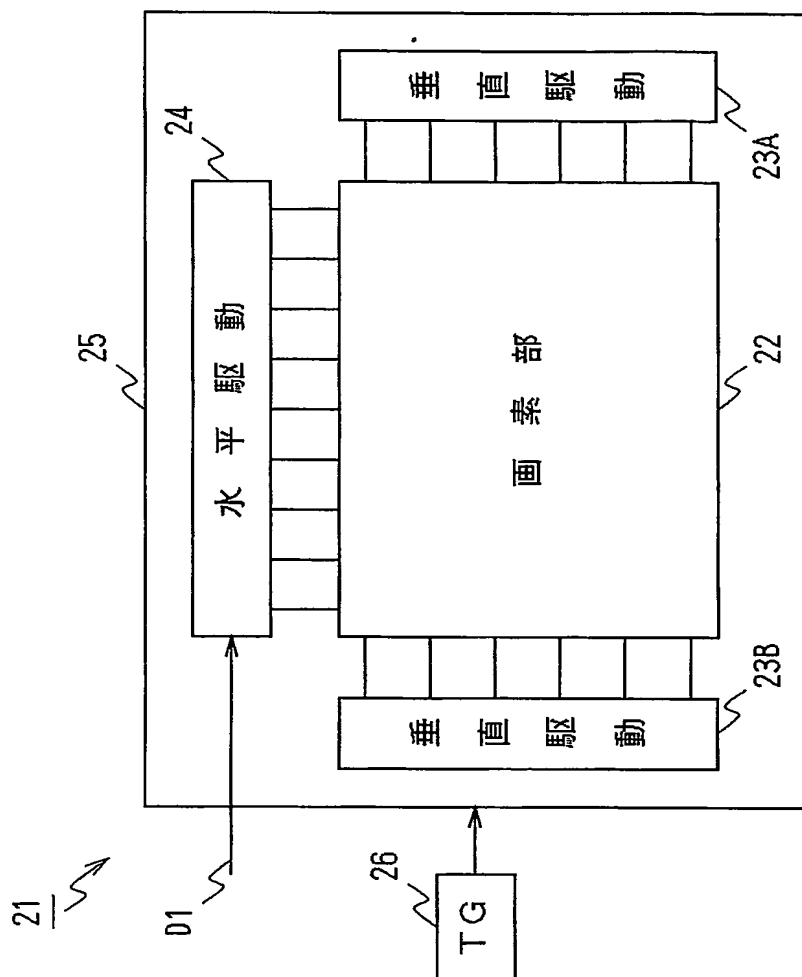
第 1 図



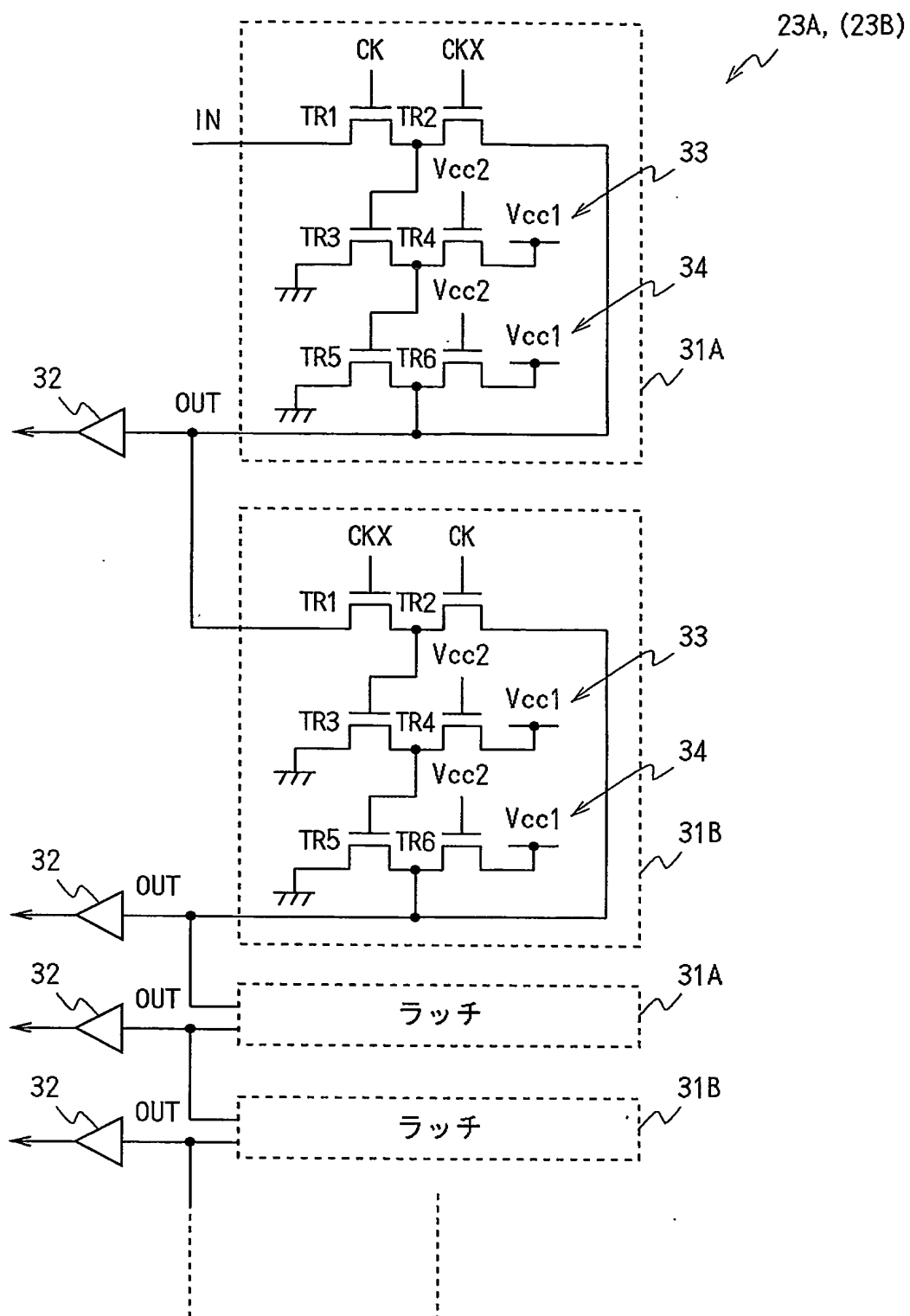
第 2 図



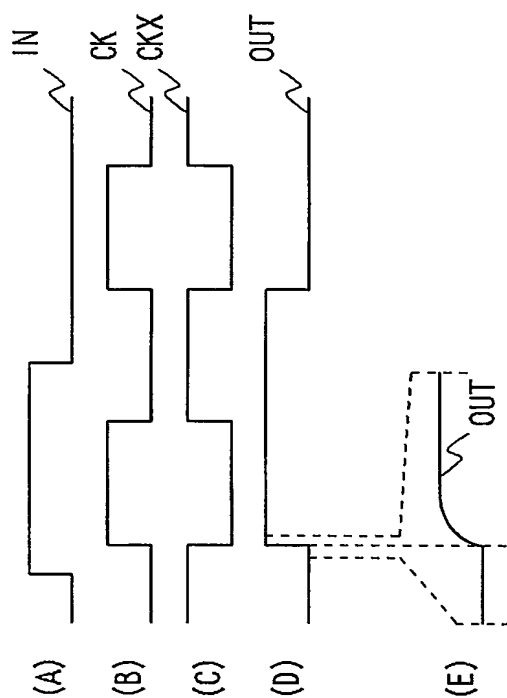
第3図



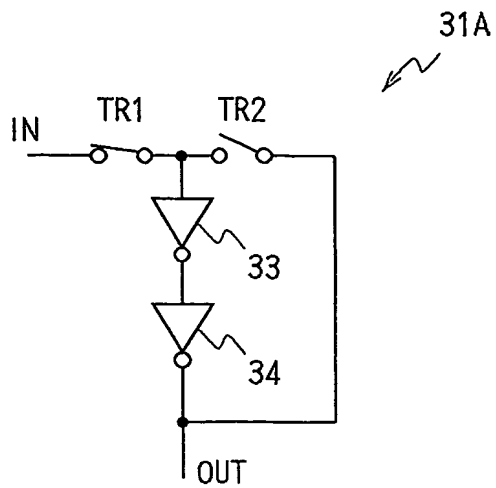
第4図



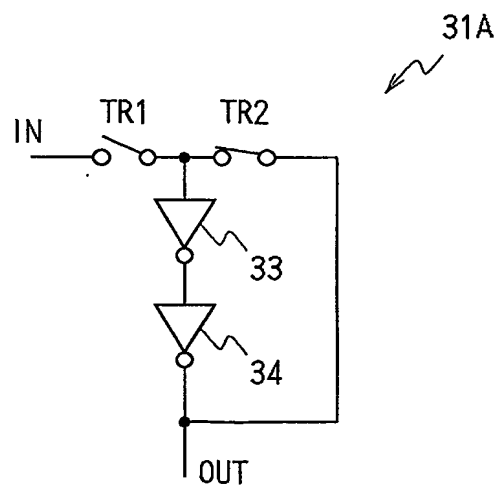
第5図



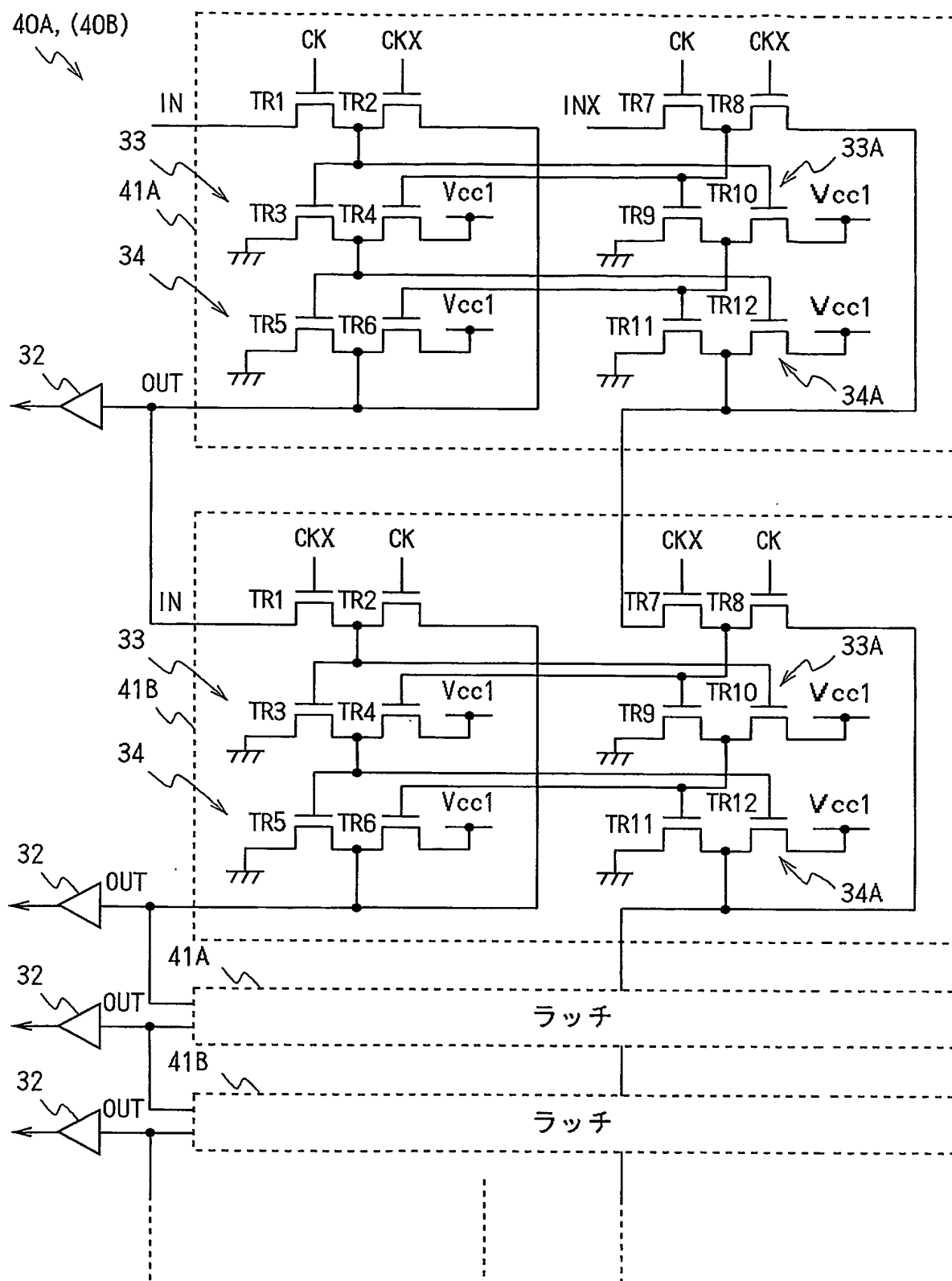
第6図



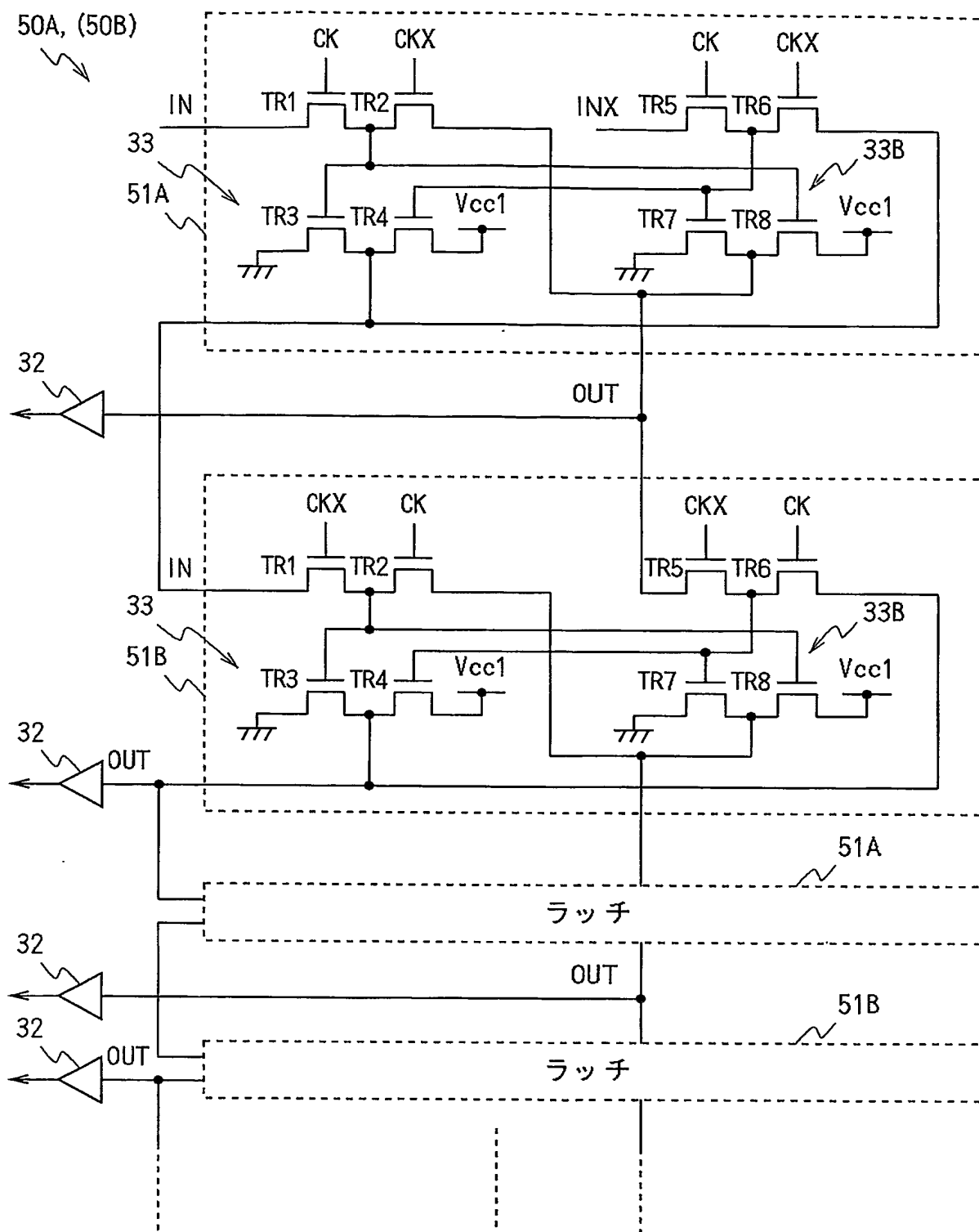
第7図



第8図



第9図



第 10 図

符号の説明

1、3 1 A、3 1 B、4 1 A、4 1 B、5 1 A、5 1 B ……ラッチ回路、
2、3 ……クロックドインバータ回路、4、3 3、3 3 A、3 3 B、3 4、
3 4 A ……インバータ回路、1 1、2 1 ……フラットディスプレイ装置、1
2、2 2 ……画素部、1 3、2 5 ……ガラス基板、1 4 A、1 4 B、2 3
A、2 3 B、4 0 A、4 0 B、5 0 A、5 0 B ……垂直駆動回路、1 5、2
4 ……水平駆動回路、2 6 ……タイミングジェネレータ、3 2 ……バッファ
回路、T R 1 ～T R 1 2 ……トランジスタ

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017529

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K19/00, H03K3/356, G09G3/20, G09G3/30, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K19/00, H03K3/356, G09G3/20, G09G3/30, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-58097 A (Semiconductor Energy Laboratory Co., Ltd.), 28 February, 2003 (28.02.03), Figs. 2, 12; Par. Nos. [0008], [0014] & US 2003/0030109 A1	1-8
A	JP 2003-167543 A (Semiconductor Energy Laboratory Co., Ltd.), 13 June, 2003 (13.06.03), Figs. 10, 4, 5; Par. Nos. [0005], [0009], [0010] & US 2003/0111677 A1	1-8
A	JP 2002-352593 A (Seiko Epson Corp.), 06 December, 2002 (06.12.02), Figs. 1, 4, 8; Par. Nos. [0039], [0052] (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 December, 2004 (15.12.04)

Date of mailing of the international search report
28 December, 2004 (28.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017529

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-58133 A (Semiconductor Energy Laboratory Co., Ltd.), 28 February, 2003 (28.02.03), Figs. 5, 6; Par. Nos. [0086], [0087] & US 2003/0011581 A1	1-8
A	JP 2002-149133 A (Seiko Epson Corp.), 24 May, 2002 (24.05.02), Figs. 1, 3; Par. No. [0038] (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03K 19/00、H03K 3/356、G09G 3/20、G09G 3/30
、H05B 33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03K 19/00、H03K 3/356、G09G 3/20、G09G 3/30
、H05B 33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2003-58097 A (株式会社半導体エネルギー研究所) 200 3.02.28, 図2、図12、本文第8段落、第14段落 & US 200 3/0030109 A1	1-8
A	J P 2003-167543 A (株式会社半導体エネルギー研究所) 200 3.06.13, 図10、図4、図5、本文第5段落、第9段落、第10段落 & US 2003/0111677 A1	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

15.12.2004

国際調査報告の発送日

28.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

彦田克文

5 X

9182

電話番号 03-3581-1101 内線 3556

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-352593 A (セイコーエプソン株式会社) 2002. 1 2. 06, 図1、図4、図8、本文第39段落、第52段落 (ファミリーなし)	1-8
A	JP 2003-58133 A (株式会社半導体エネルギー研究所) 200 3. 02. 28, 図5、図6、本文第86段落、第87段落 & US 200 3/0011581 A1	1-8
A	JP 2002-149133 A (セイコーエプソン株式会社) 2002. 0 5. 24, 図1、図3、本文第38段落 (ファミリーなし)	1-8